



ГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
СРЕДНЕГО (ПОЛНОГО) ОБЩЕГО ОБРАЗОВАНИЯ

ЛИЦЕЙ ПРИ СПБГУТ

Вендор-ориентированный учебный курс в системе
«Старшая профильно-профессиональная школа-ВУЗ-Работодатель»:
«Проектирование цифровых устройств
на базе ПЛИС фирмы ALTERA»

Нечаев Е.В.

«Исследование комбинационных схем»

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
к выполнению лабораторной работы №3
на демонстрационной плате
Altera® DE2 Development and Education board

Санкт - Петербург
2011

Нечаев Е.В. «Исследование комбинационных схем». Методические указания к выполнению лабораторной работы №3 на демонстрационной плате Altera® DE2 Development and Education board. СПб: ГОУ «Лицей при СПбГУТ», 2011.

ЛАБОРАТОРНАЯ РАБОТА №3

Исследование комбинационных схем

Цель работы

Изучить принцип действия комбинационных схем: дешифратора, шифратора, преобразователя кода для семисегментного индикатора, мультиплексора, демультимплексора, полного сумматора.

Краткие теоретические сведения

1. Дешифратор.

Дешифратор (декодер) – это логическая схема с несколькими входами и несколькими выходами, которая преобразует кодированные входные сигналы в кодированные выходные сигналы, причем входные и выходные коды различны. Входной код обычно имеет меньшее число разрядов, чем выходной код, и между входными и выходными кодовыми словами имеется взаимно-однозначное соответствие. При этом каждое входное слово порождает отличное от других выходное кодовое слово.

В большинстве случаев роль входного кода играет n -разрядный двоичный код, где n -разрядное двоичное слово представляет одну из 2^n различных кодированных величин. Обычно это целые числа от 0 до $2^n - 1$. Иногда для представления меньшего, чем 2^n , числа величин, применяют усеченный n -разрядный двоичный код. Например, в двоично-десятичном коде 4-разрядные комбинации от 0000 до 1001 представляют десятичные числа от 0 до 9, а комбинации от 1010 до 1111 не используются.

Роль выходного кода играет m -разрядный код «1 из m », у которого в любой момент времени отличен от нуля один бит. Таким образом, в коде «1 из 4» с высоким активным уровнем сигнала на выходах кодовые слова имеют вид: 0001, 0010, 0100 и 1000. А при низком активном уровне сигнала на выходах кодовые слова имеют вид: 1110, 1101, 1011 и 0111.

Таблица истинности (ТИ) для дешифратора с двумя входами и с высоким уровнем активного сигнала представлена в таблице 1.

Таблица 1 - ТИ двухразрядного дешифратора.

№ строки	x_1	x_0	y_3	y_2	y_1	y_0
0	0	0	0	0	0	1
1	0	1	0	0	1	0
2	1	0	0	1	0	0
3	1	1	1	0	0	0

Для построения схемы декодера по таблице истинности воспользуемся методикой, изложенной в лабораторной работе №2. Например, устройство должно иметь 4 выхода. Для каждого выхода записываем логическое выражение на основе СДНФ:

$$y_0 = f(x_1, x_0) = \overline{x_1} \cdot \overline{x_0},$$

$$y_1 = f(x_1, x_0) = \overline{x_1} \cdot x_0,$$

$$y_2 = f(x_1, x_0) = x_1 \cdot \overline{x_0},$$

$$y_3 = f(x_1, x_0) = x_1 \cdot x_0,$$

где $\overline{x_1}, \overline{x_0}$ - переменные с отрицанием.

По этой системе выражений строится схема требуемого дешифратора, приведенная далее в лабораторной работе.

Условное графическое обозначение такого дешифратора изображено на рис. 1.

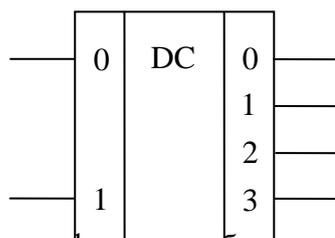


Рис. 1. Условное графическое обозначение дешифратора.

2. Шифратор.

Если код на выходе устройства имеет меньшее число разрядов, чем код на входе, то это устройство обычно называют шифратором (кодером).

Шифратор выполняет функцию, обратную декодеру (дешифратору), т.е. преобразует непозиционный (унитарный) двоичный 2^n разрядный код в n -разрядный позиционный код. При подаче на один из входов единичного сигнала на выходе формируется соответствующий двоичный код. Таблица истинности для шифратора при $n = 2$ приведена в таблице 2.

Таблица 2 - ТИ шифратора при $n = 2$.

№ строки	x_3	x_2	x_1	x_0	y_1	y_0
0	0	0	0	1	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	0
3	1	0	0	0	1	1

Система собственных функций для выходов шифратора на основе СДНФ:

$$y_0 = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot x_0 + x_3 \cdot \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0},$$

$$y_1 = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot x_2 \cdot \overline{x_1} \cdot \overline{x_0} + x_3 \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0},$$

где $\overline{x_3}, \overline{x_2}, \overline{x_1}, \overline{x_0}$ - переменные с отрицанием.

Условное графическое обозначение шифратора представлено на рис. 2.

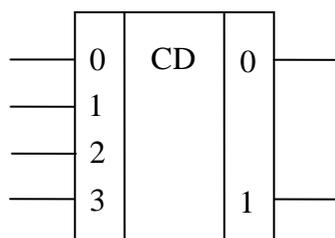


Рис. 2. Условное графическое обозначение шифратора.

3. Преобразователь кода для семисегментного индикатора.

Семисегментный индикатор, как говорит его название, состоит из семи элементов индикации (сегментов - светодиодов), включающихся и выключающихся по отдельности. На входы семисегментного дешифратора поступает 4-разрядный двоично-десятичный код, а на его выходах возникает «семисегментный код», графически представляющий собой упрощённое изображение арабских цифр. Сегменты обозначаются буквами от А до G; восьмой сегмент (DP) — десятичная запятая, предназначенная для отображения дробных чисел (рис. 3).

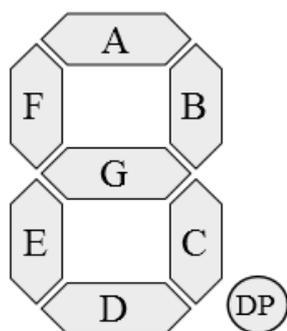


Рис. 3. Обозначение сегментов индикатора.

На плате DE2 имеется 8 семисегментных индикаторов, каждый из которых включен по следующей схеме:

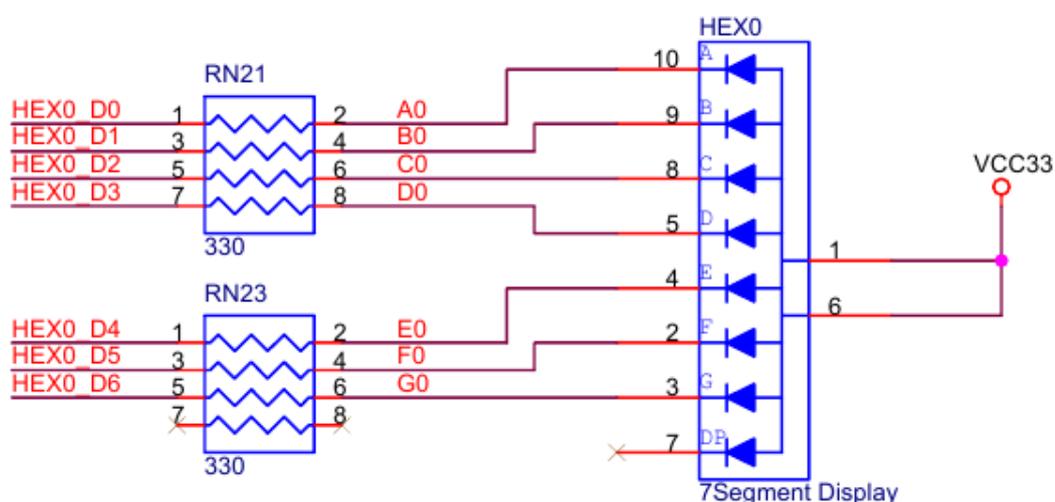


Рис. 4. Схема включения семисегментного индикатора.

Из этой схемы видно, что сегмент десятичной запятой (DP) не используется, и отдельный светодиод (сегмент) загорается при наличии на управляющем входе лог. 0.

Таблица истинности преобразователя 4-х разрядного позиционного двоичного кода в десятичные цифры представлена в таблице 3.

Таблица 3 - ТИ преобразователя кода для семисегментного индикатора.

№ строки	x_3	x_2	x_1	x_0	y_A	y_B	y_C	y_D	y_E	y_F	y_G
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

Система собственных функций для выходов преобразователя кода на основе СДНФ:

$$y_A = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot x_0 + \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0},$$

$$y_B = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0},$$

$$y_C = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0},$$

$$y_D = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot x_0 + \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0},$$

$$y_E = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0} + \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot x_0 + \overline{x_3} \cdot x_2 \cdot \overline{x_1} \cdot \overline{x_0} + \overline{x_3} \cdot x_2 \cdot \overline{x_1} \cdot x_0 +$$

$$+ \overline{x_3} \cdot x_2 \cdot x_1 \cdot \overline{x_0} + \overline{x_3} \cdot x_2 \cdot x_1 \cdot x_0,$$

$$y_F = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot x_0 + \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0} + \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot x_0,$$

$$y_G = f(x_3, x_2, x_1, x_0) = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot x_0 + \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0} = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} +$$

$$+ \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0},$$

где $\overline{x_3}, \overline{x_2}, \overline{x_1}, \overline{x_0}$ - переменные с отрицанием.

Минимизация функций y_E и y_F с использованием таблиц Карно:

		x_2		x_3	
		x_3x_2	x_3x_2	x_3x_2	x_3x_2
x_1x_0	x_1x_0	00	01	11	10
	00	0	4	12	8
01	1	5	13	9	
11	3	7	15	11	
10	2	6	14	10	

Рис. 5. Таблица Карно для функции y_E .

$$y_E = f(x_3, x_2, x_1, x_0) = y_1 + y_2 + y_3 = \overline{x_3} \cdot x_0 + \overline{x_3} \cdot x_2 \cdot \overline{x_1} + \overline{x_2} \cdot \overline{x_1} \cdot x_0.$$

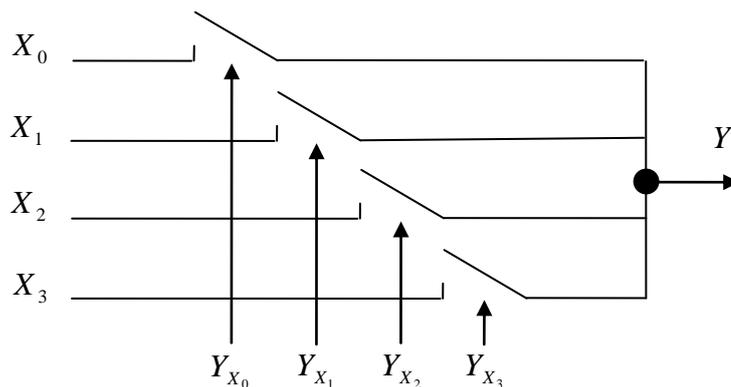


Рис. 8. Коммутатор, собранный на ключах.

В цифровых схемах требуется управлять ключами при помощи логических уровней. Поэтому желательно подобрать устройство, которое могло бы выполнять функцию ключа с электронным управлением цифровым сигналом. Попробуем «заставить» работать в качестве электронного ключа уже знакомые нам логические элементы. Рассмотрим таблицу истинности логического элемента «И» (таблица 4). При этом один из входов логического элемента «И» будем рассматривать как информационный вход электронного ключа, а другой вход – как управляющий. Так как оба входа логического элемента «И» эквивалентны, то не важно, какой из них будет управляющим входом. Пусть вход X будет управляющим, а Y – информационным. Для простоты рассуждений, разделим таблицу истинности на две части в зависимости от уровня логического сигнала на управляющем входе X .

Таблица 4 - ТИ логического элемента «И».

Вход X	Вход Y	Выход Out
0	0	0
0	1	0
1	0	0
1	1	1

По таблице истинности отчётливо видно, что если на управляющий вход X подан нулевой логический уровень, сигнал, поданный на вход Y , на выход Out не проходит. При подаче на управляющий вход X логической единицы, сигнал, поступающий на вход Y , появляется на выходе Out . Это означает, что логический элемент «И» можно использовать в качестве электронного ключа. При этом не важно, какой из входов элемента «И» будет использоваться в качестве управляющего входа, а какой – в качестве информационного. Остается только объединить выходы элементов «И» на один общий выход. Это делается при помощи логического элемента «ИЛИ» точно так же как и при построении схемы по произвольной таблице истинности.

Получившийся вариант схемы коммутатора с управлением логическими уровнями представлен на рис. 9.

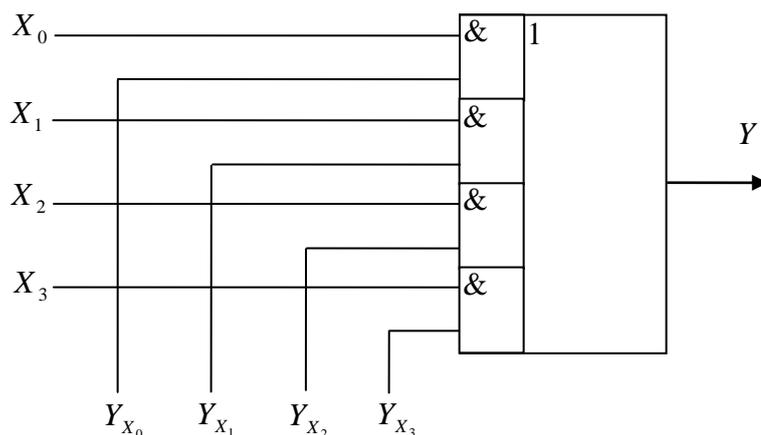


Рис. 9. Принципиальная схема коммутатора, построенного на элементах «И».

В схеме, приведенной на рис. 9, можно одновременно включать несколько входов на один выход. Однако обычно это приводит к непредсказуемым последствиям. Кроме того, для управления таким коммутатором требуется много входов, поэтому в состав мультиплексора обычно включают двоичный дешифратор, как показано на рис. 10. Такая схема позволяет управлять переключением информационных входов мультиплексора при помощи двоичных кодов, подаваемых на его управляющие входы. Количество информационных входов в таких схемах выбирают кратным степени числа два.

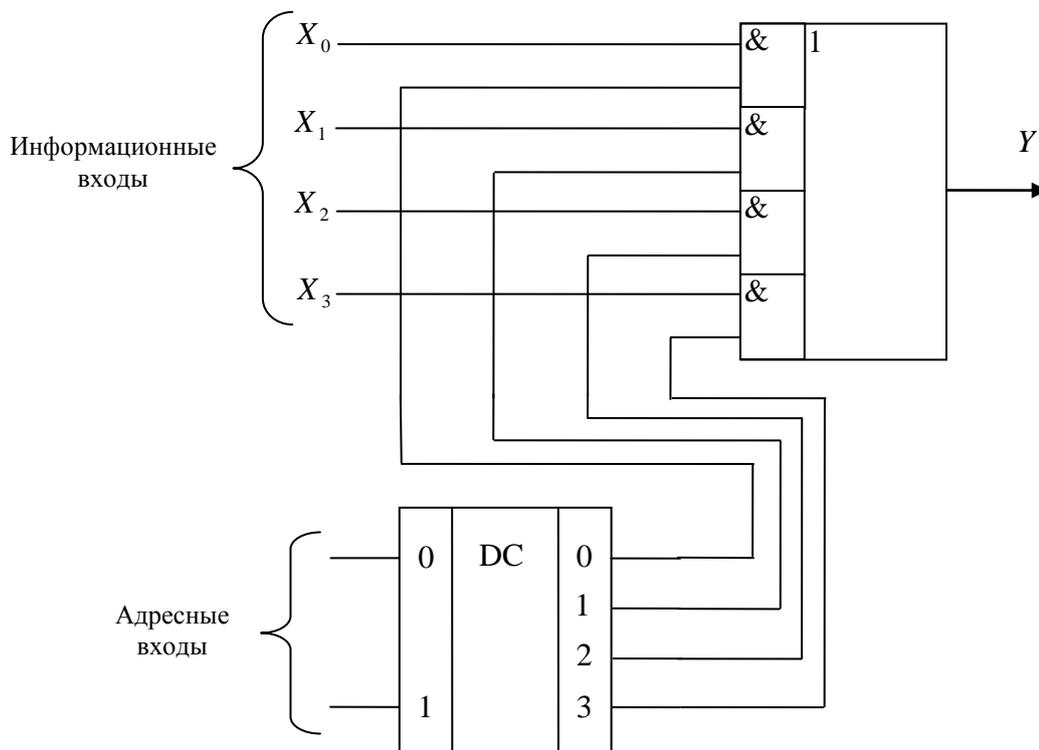


Рис. 10. Принципиальная схема мультиплексора, управляемого двоичным кодом.

Мультиплексор с двоичным управлением изображается на схемах как показано на рис. 11.

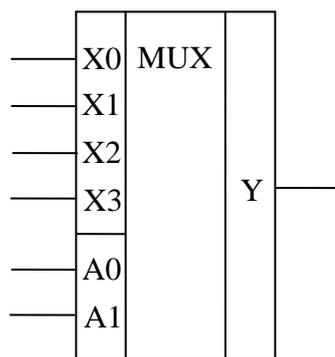


Рис. 11. Условное графическое обозначение 4-хвходового мультиплексора.

5. Демультимплексор.

Задача передачи сигнала с одного входа микросхемы на один из нескольких выходов называется демультимплексированием. Демультимплексор можно построить на основе точно таких же схем логического «И», как и при построении мультиплексора.

Схема демультимплексора приведена на рис. 12. Для выбора конкретного выхода демультимплексора, как и в мультиплексоре, используется двоичный дешифратор.

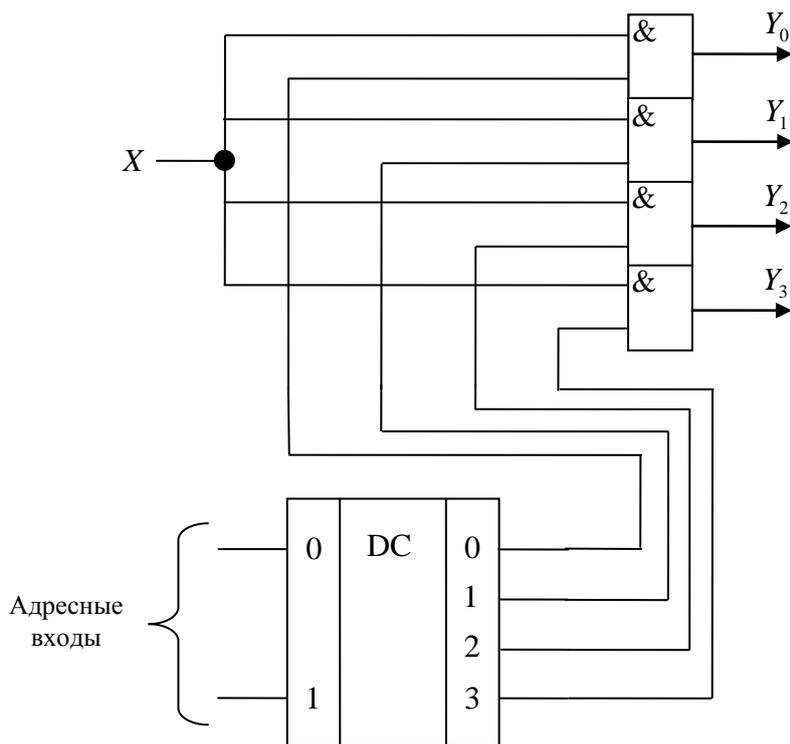


Рис. 12. Принципиальная схема демультимплексора, управляемого двоичным кодом.

На схемах демультимплексор обычно изображается точно так же, как и дешифратор, условное графическое обозначение которого приведено на рис. 1. Единственное отличие в изображении схемы – это наличие дополнительного информационного входа V . Условное графическое обозначение демультимплексора приведено на рис. 13.

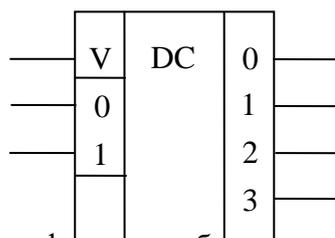


Рис. 13. Условное графическое обозначение демультиплексора.

6. Полный сумматор.

Чтобы сложить операнды с многоразрядными двоичными числами, необходимо обеспечить перенос между разрядами. Стандартный блок, применяемый для этой цели, называется полным сумматором. Помимо входов для битов слагаемых X и Y , у полного сумматора есть вход для бита переноса PI . Сумма трех входных битов может принимать значения от 0 до 3; для ее представления достаточно двух выходных битов S и PO .

Таблица истинности для полного сумматора приведена в таблице 5.

Таблица 5 - ТИ полного сумматора.

№ строки	PI	X	Y	PO	S
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

Здесь X и Y – слагаемые,

S - сумма,

PI – вход 1 переноса из предыдущего разряда,

PO – выход 1 переноса в старший разряд.

На основании таблицы истинности составляется система собственных функций для каждого выхода:

$$S = f(PI, X, Y) = \overline{PI} \cdot \overline{X} \cdot Y + \overline{PI} \cdot X \cdot \overline{Y} + PI \cdot \overline{X} \cdot \overline{Y} + PI \cdot X \cdot Y,$$

$$PO = f(PI, X, Y) = \overline{PI} \cdot X \cdot Y + PI \cdot \overline{X} \cdot Y + PI \cdot X \cdot \overline{Y} + (PI \cdot X \cdot Y + PI \cdot X \cdot Y + PI \cdot X \cdot Y) = X \cdot Y + PI \cdot Y + PI \cdot X,$$

где $\overline{PI}, \overline{X}, \overline{Y}$ - переменные с отрицанием.

Условное графическое обозначение полного сумматора показано на рис. 14.

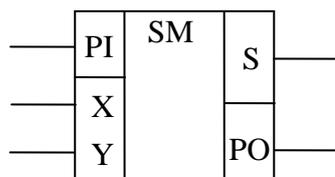


Рис. 14. Условное графическое обозначение полного сумматора.

Задание

С помощью САПР Quartus II создать проекты для исследования комбинационных схем: дешифратора, шифратора, преобразователя кода для семисегментного индикатора, мультиплексора, демультиплексора, полного сумматора; собрать соответствующие схемы, загрузить конфигурационную информацию в ПЛИС и проверить работоспособность каждой из схем на практике.

Порядок выполнения

1. Исследовать принцип работы дешифратора 2x4.

Создайте новый проект, как было описано в предыдущих работах, дайте ему название «decoder» и сохраните его в каталоге «/home/steel1004/Lic_Labs/Lab_3/decoder», где «steel1004» - имя пользователя.

Создайте графический файл «decoder.bdf» и начертите схему, изображенную на рис. 15.

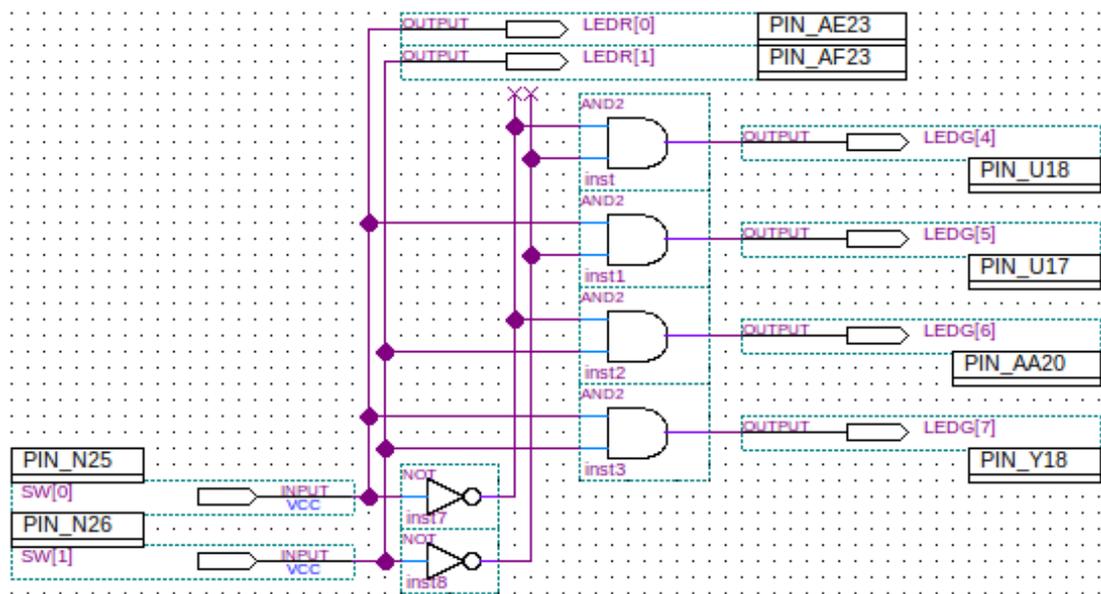


Рис. 15. Схема дешифратора.

Здесь $SW[0]$ соответствует x_0 в таблице истинности (таблица 1), приведенной в кратких теоретических сведениях, $SW[1]$ - x_1 , $LEDG[4]$ - y_0 , $LEDG[5]$ - y_1 , $LEDG[6]$ - y_2 , $LEDG[7]$ - y_3 .

Подавая все возможные комбинации логических уровней на входы $SW[0]$, $SW[1]$ с помощью переключателей $SW0$, $SW1$ и наблюдая за состояниями светодиодных индикаторов $LEDG4$, $LEDG5$, $LEDG6$, $LEDG7$, заполните таблицу истинности дешифратора.

Таблица 6 - ТИ двухразрядного дешифратора.

№ строки	x_1	x_0	y_3	y_2	y_1	y_0
0	0	0				
1	0	1				
2	1	0				
3	1	1				

2. Исследовать принцип работы шифратора 4х2.

Создайте новый проект, дайте ему название «coder» и сохраните его в каталоге «/home/steel1004/Lic_Labs/Lab_3/coder», где «steel1004» - имя пользователя.

Создайте графический файл «coder.bdf» и начертите схему, изображенную на рис. 16.

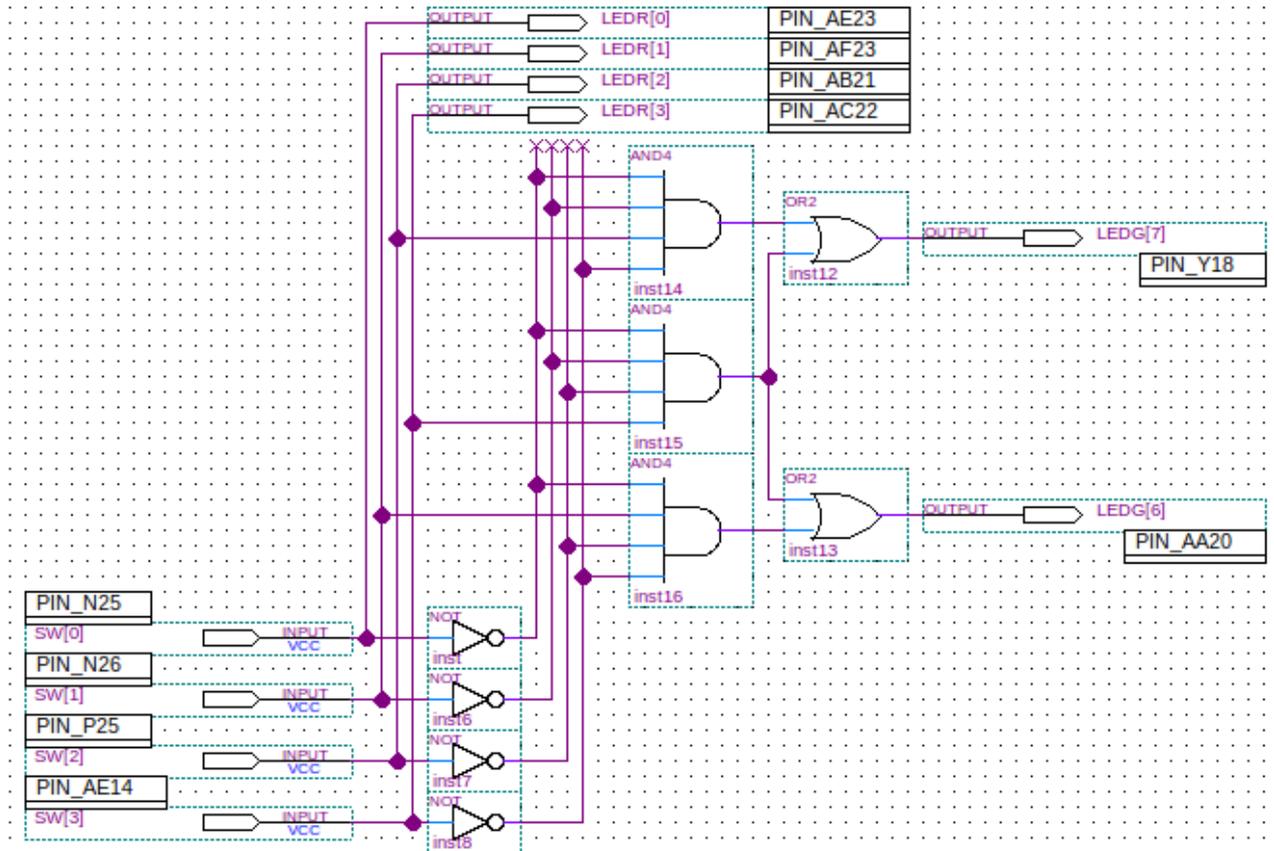


Рис. 16. Схема шифратора.

Здесь $SW[0]$ соответствует x_0 в таблице истинности (таблица 2), приведенной в кратких теоретических сведениях, $SW[1]$ - x_1 , $SW[2]$ - x_2 , $SW[3]$ - x_3 , $LEDG[6]$ - y_0 , $LEDG[7]$ - y_1 .

Подавая все возможные комбинации логических уровней на входы $SW[0]$, $SW[1]$, $SW[2]$, $SW[3]$ с помощью переключателей $SW0$, $SW1$, $SW2$, $SW3$ и наблюдая за состояниями светодиодных индикаторов $LEDG6$, $LEDG7$, заполните таблицу истинности шифратора.

Таблица 7 - ТИ шифратора при $n = 2$.

№ строки	x_3	x_2	x_1	x_0	y_1	y_0
0	0	0	0	1		
1	0	0	1	0		
2	0	1	0	0		
3	1	0	0	0		

3. Исследовать принцип работы преобразователя кода для семисегментного индикатора.

Создайте новый проект, дайте ему название «seg_decoder» и сохраните его в каталоге «/home/steel1004/Lic_Labs/Lab_3/seg_decoder», где «steel1004» - имя пользователя.

Создайте графический файл «seg_decoder.bdf» и начертите схему, изображенную на рис. 17.

На схеме $SW[0]$ соответствует x_0 в таблице истинности (таблица 3), приведенной в кратких теоретических сведениях, $SW[1]$ - x_1 , $SW[2]$ - x_2 , $SW[3]$ - x_3 , $HEX0[0]$ - y_A , $HEX0[1]$ - y_B , $HEX0[2]$ - y_C , $HEX0[3]$ - y_D , $HEX0[4]$ - y_E , $HEX0[5]$ - y_F , $HEX0[6]$ - y_G .

$HEX0[0:6]$ - выходы ПЛИС, подключенные к входам семисегментного индикатора, как показано на рис. 4.

Подавая все возможные комбинации логических уровней на входы $SW[0]$, $SW[1]$, $SW[2]$, $SW[3]$ с помощью переключателей $SW0$, $SW1$, $SW2$, $SW3$ и наблюдая за состояниями семисегментного индикатора $HEX0$, заполните таблицу истинности преобразователя кода.

Таблица 8 - ТИ преобразователя кода для семисегментного индикатора.

№ строки	x_3	x_2	x_1	x_0	y_A	y_B	y_C	y_D	y_E	y_F	y_G
0	0	0	0	0							
1	0	0	0	1							
2	0	0	1	0							
3	0	0	1	1							
4	0	1	0	0							
5	0	1	0	1							
6	0	1	1	0							
7	0	1	1	1							
8	1	0	0	0							
9	1	0	0	1							

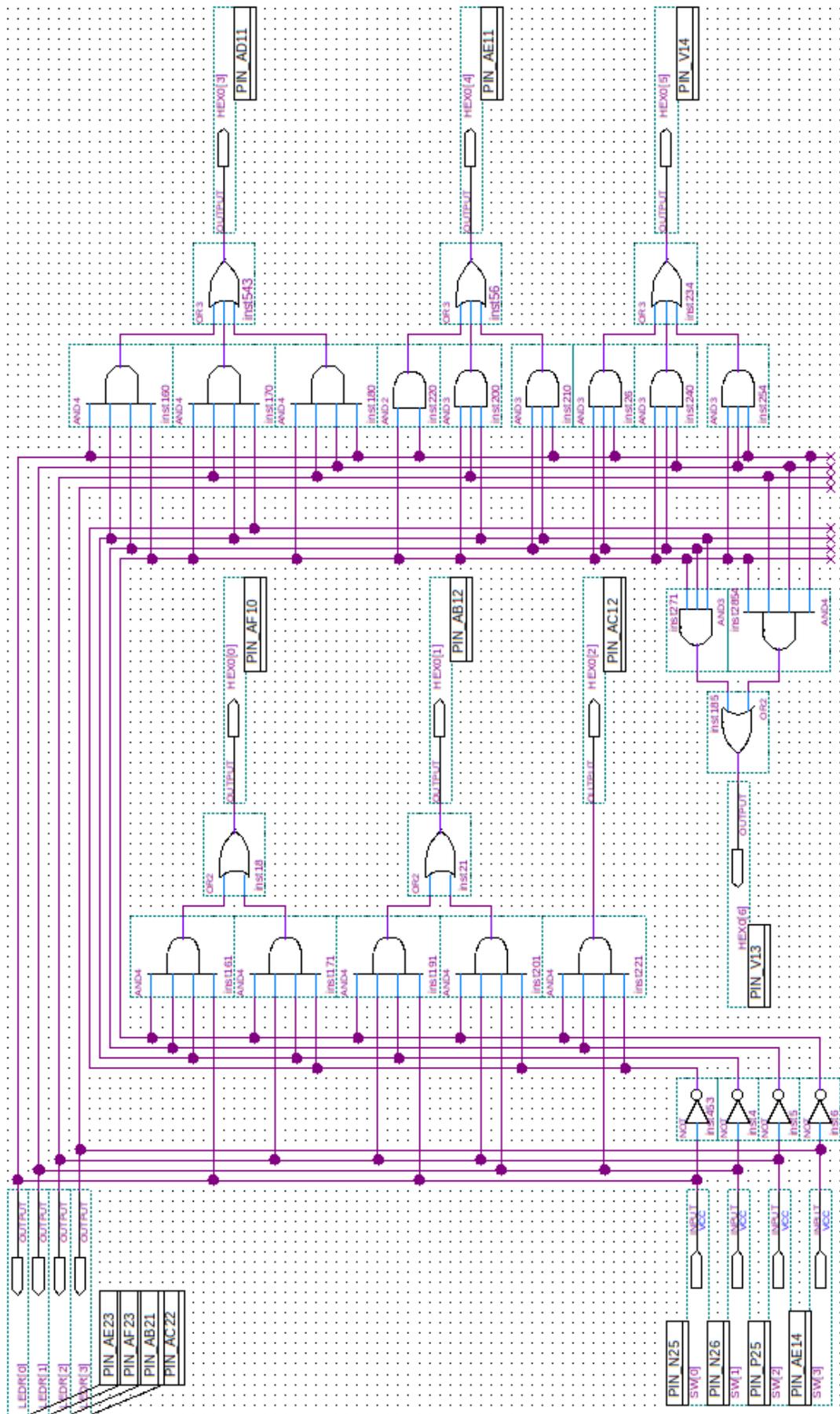


Рис. 17. Схема преобразователя кода для семисегментного индикатора.

4. Исследовать принцип работы мультиплексора 4x1.

Создайте новый проект, дайте ему название «multiplexer» и сохраните его в каталоге «/home/steel1004/Lic_Labs/Lab_3/multiplexer», где «steel1004» - имя пользователя.

Создайте графический файл «multiplexer.bdf» и начертите схему, изображенную на рис. 18.

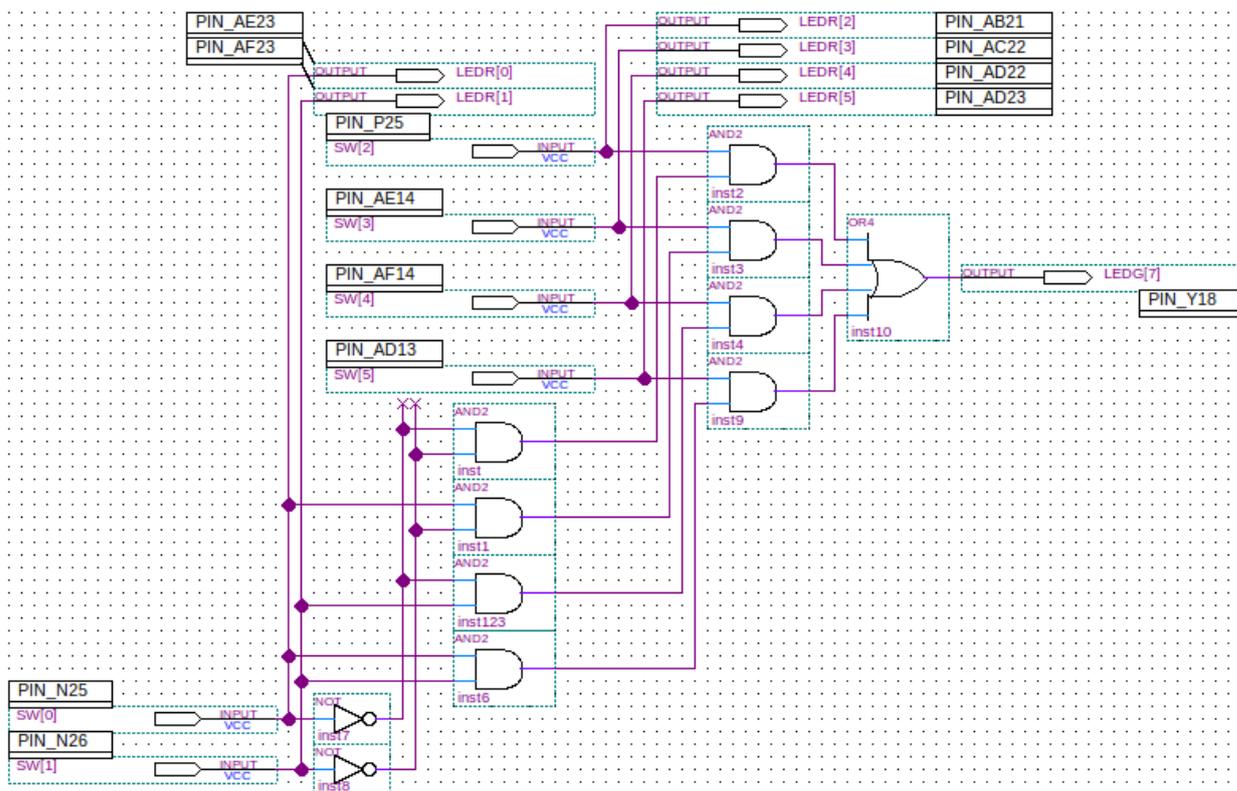


Рис. 18. Схема мультиплексора 4x1.

Поочередно устанавливая все возможные кодовые комбинации на адресных входах $SW[0]$ и $SW[1]$, определите номера коммутируемых каналов. Номер коммутируемого канала определяется путем поочередного подключения к входам $SW[2]$, $SW[3]$, $SW[4]$, $SW[5]$ уровня логической единицы и наблюдения за выходом $LEDR[7]$. Заполните таблицу 9.

Таблица 9 - Таблица, описывающая работу мультиплексора.

№ строки	$SW[1]$	$SW[0]$	Номер коммутируемого канала
0	0	0	
1	0	1	
2	1	0	
3	1	1	

5. Исследовать принцип работы демультиплексора 1x4.

Создайте новый проект, дайте ему название «demultiplexer» и сохраните его в каталоге «/home/steel1004/Lic_Labs/Lab_3/demultiplexer», где «steel1004» - имя пользователя.

Создайте графический файл «demultiplexer.bdf» и начертите схему, изображенную на рис. 19.

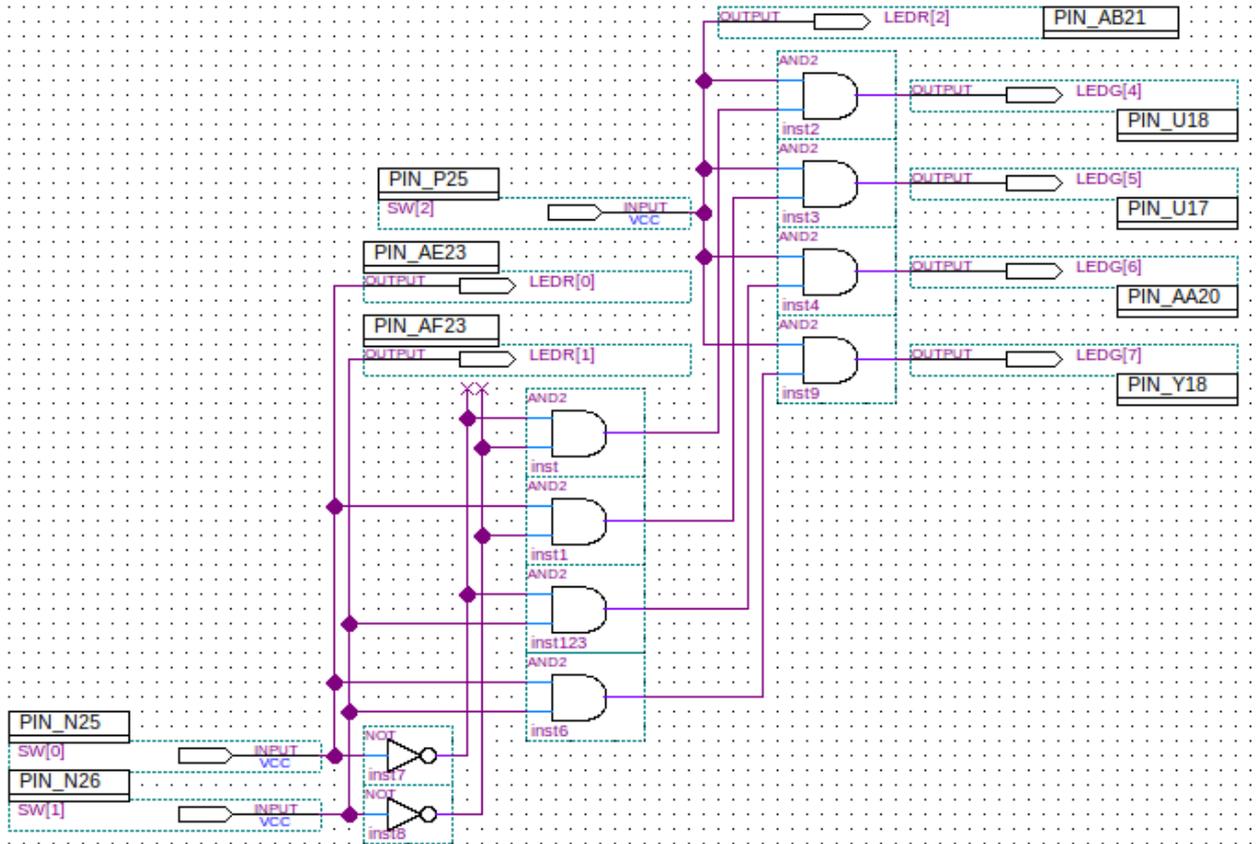


Рис. 19. Схема демультиплексора 1x4.

Поочередно устанавливая все возможные кодовые комбинации на адресных входах $SW[0]$ и $SW[1]$, определите номера выходных каналов ($LEDG[4]$ - 1 канал, $LEDG[5]$ - 2 канал, $LEDG[6]$ - 3 канал, $LEDG[7]$ - 4 канал), реагирующих на изменение уровня во входном канале ($SW[2]$). Заполните таблицу 10.

Таблица 10 - Таблица, описывающая работу демультиплексора.

№ строки	$SW[1]$	$SW[0]$	Номер выходного канала
0	0	0	
1	0	1	
2	1	0	
3	1	1	

6. Исследовать принцип работы полного сумматора.

Создайте новый проект, дайте ему название «adder» и сохраните его в каталоге «/home/steel1004/Lic_Labs/Lab_3/adder», где «steel1004» - имя пользователя.

Создайте графический файл «adder.bdf» и начертите схему, изображенную на рис. 20.

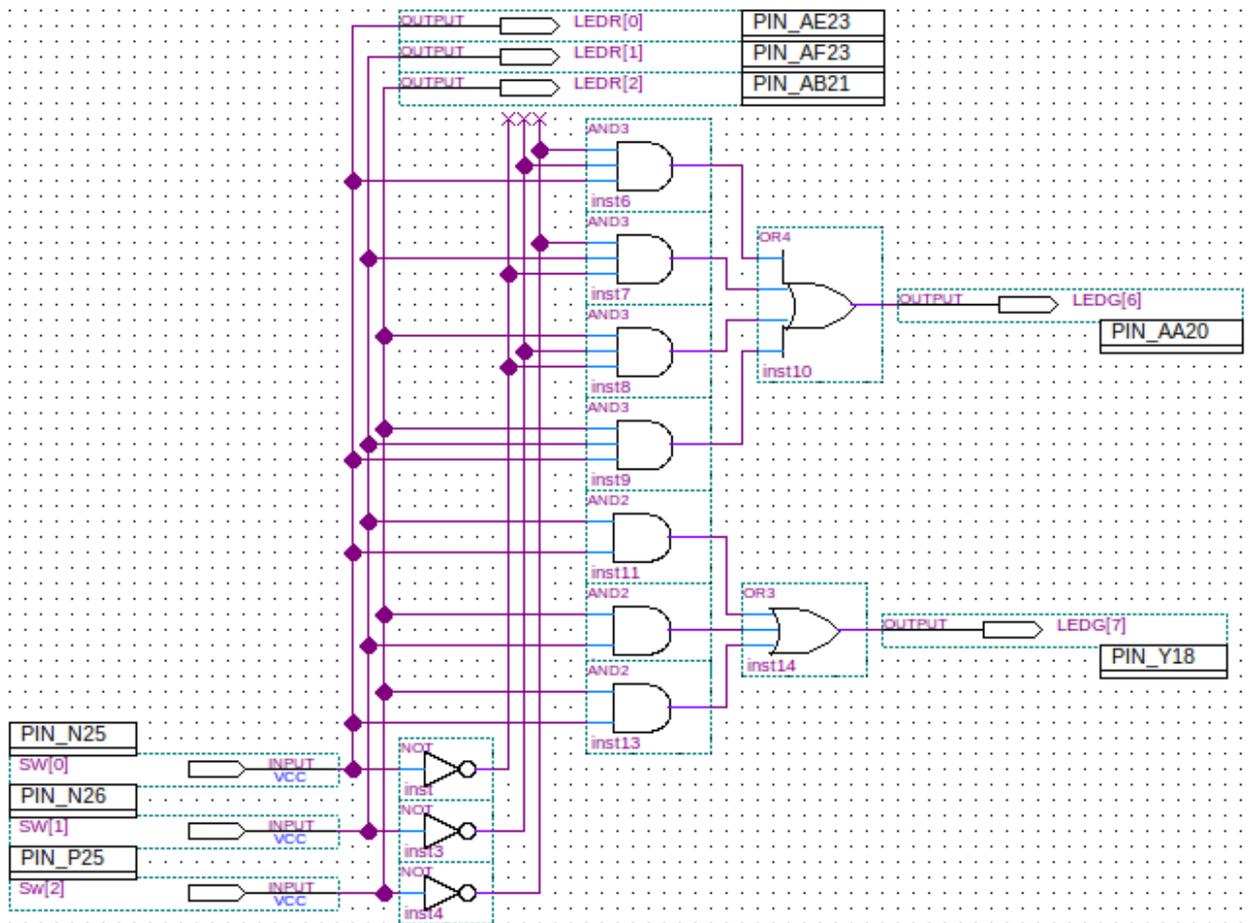


Рис. 20. Схема полного сумматора.

Здесь $SW[0]$ соответствует Y в таблице истинности (таблица 5), $SW[1]$ - X , $SW[2]$ - PI , $LEDG[6]$ - S , $LEDG[7]$ - PO .

Подавая все возможные комбинации логических уровней на входы $SW[0]$, $SW[1]$, $SW[2]$, с помощью переключателей $SW0$, $SW1$, $SW2$ и наблюдая за состояниями светодиодных индикаторов $LEDG6$, $LEDG7$, заполните таблицу истинности полного сумматора.

Таблица 11 - ТИ полного сумматора.

№ строки	PI	X	Y	PO	S
0	0	0	0		
1	0	0	1		
2	0	1	0		
3	0	1	1		
4	1	0	0		
5	1	0	1		
6	1	1	0		
7	1	1	1		

Контрольные вопросы

1. Принцип работы дешифратора.
2. Как синтезировать дешифратор с произвольной разрядностью?
3. Как работает шифратор?
4. Изобразите таблицу истинности шифратора.
5. Как работает преобразователь кода для семисегментного индикатора?
6. Как устроен семисегментный индикатор?
7. Как работает мультиплексор?
8. Как в лабораторной работе проводилось исследование мультиплексора?
9. Как работает демультимплексор?
10. Как работает сумматор?
11. Что такое единица переноса?

Список используемой литературы

1. Altera DE2 Board. Getting Started Guide. Document Version 1.2 OCT. 02, 2005. – 85 с.
2. Altera Quartus II Introduction Using Schematic Design, Altera Corporation, 2008. – 229 с.
3. Michael D. Ciletti. Advanced digital design with the Verilog HDL, 2005. – 1014 с.
4. Угрюмов Е. Цифровая схемотехника. Учебное пособие. СПб ВHV, 2001. – 528 с.
5. Уэйкерли Дк. Ф. Проектирование цифровых устройств М. Постмаркет, 2002. – 544 с.
6. Микушин А. В. Занимательно о микроконтроллерах. – СПб.: БХВ-Петербург, 2006. – 432 с.
7. Комолов Д. А., Мьяльк Р.А., Зобенко А. А., Филиппов А. С. Системы автоматизированного проектирования Altera MAX+plus II и Quartus II. Краткое описание и самоучитель. – М: ИП РадиоСофт, 2002. – 352 с.
8. www.labfor.ru.

Оглавление:	
ЛАБОРАТОРНАЯ РАБОТА №3 Исследование комбинационных схем.....	3
Цель работы	3
Краткие теоретические сведения	3
Задание.....	12
Порядок выполнения.....	12
Контрольные вопросы.....	19
Список используемой литературы.....	20
Список рисунков:	
Рис. 1. Условное графическое обозначение дешифратора.....	4
Рис. 2. Условное графическое обозначение шифратора.....	4
Рис. 3. Обозначение сегментов индикатора.....	5
Рис. 4. Схема включения семисегментного индикатора.	5
Рис. 5. Таблица Карно для функции y_E	6
Рис. 6. Таблица Карно для функции y_F	7
Рис. 7. Условное графическое обозначение преобразователя кода.....	7
Рис. 8. Коммутатор, собранный на ключах.....	8
Рис. 9. Принципиальная схема коммутатора, построенного на элементах «И».	9
Рис. 10. Принципиальная схема мультиплексора, управляемого двоичным кодом.	9
Рис. 11. Условное графическое обозначение 4-хвходового мультиплексора.	10
Рис. 12. Принципиальная схема демультиплексора, управляемого двоичным кодом.	10
Рис. 13. Условное графическое обозначение демультиплексора.	11
Рис. 14. Условное графическое обозначение полного сумматора.....	11
Рис. 15. Схема дешифратора.	12
Рис. 16. Схема шифратора.	13
Рис. 17. Схема преобразователя кода для семисегментного индикатора.	15
Рис. 18. Схема мультиплексора 4x1.....	16
Рис. 19. Схема демультиплексора 1x4.....	17
Рис. 20. Схема полного сумматора.	18

